

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-198963

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

H04L 12/28

(21)Application number : 2000-392625

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 25.12.2000

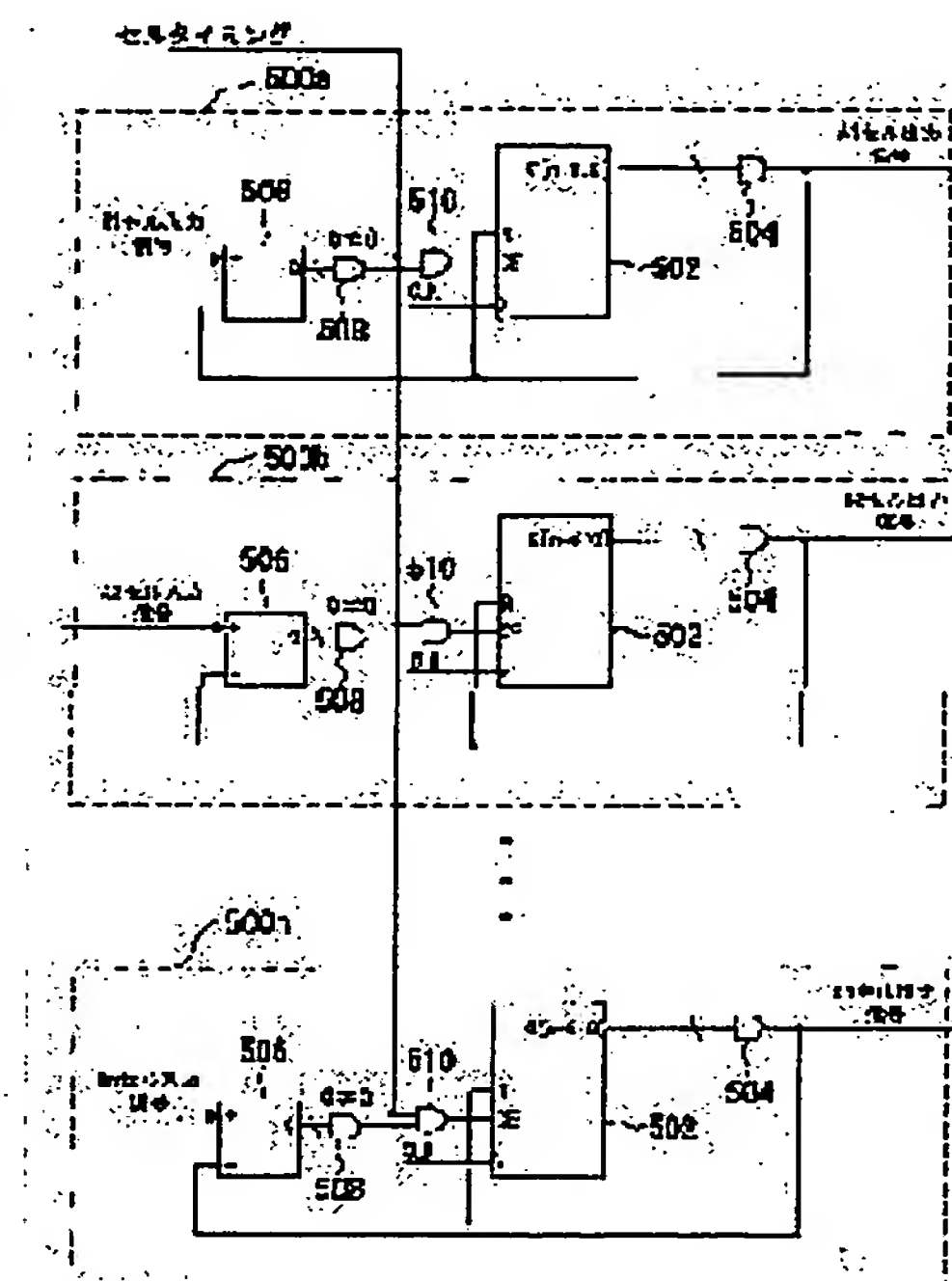
(72)Inventor : ONO OKIHIRO

## (54) BAND GENERATION DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of flip-flops required for the configuration of a band generation device, in order to decrease the circuit scale and the power consumption.

SOLUTION: The band generation device is equipped with an output timing counter 502, which counts the output timing of a corresponding cell for each channel and responds to the channel number, and counter initiation means 506-510, which generate initiation signals for starting the count by each output timing counter and respond to the output timing counter. Each counter initiation means is configured to output the initiation signals when signals indicating that there is a corresponding input cell are inputted and cell output timing signals generated at a transmission path interface unit of physical layers are inputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-198963

(P2002-198963A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl.

H 0 4 L 12/28

識別記号

F I

H 0 4 L 11/20

テーマト (参考)

G 5 K 0 3 0

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2000-392625(P2000-392625)

(22) 出願日 平成12年12月25日 (2000. 12. 25)

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 小野 起寛

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

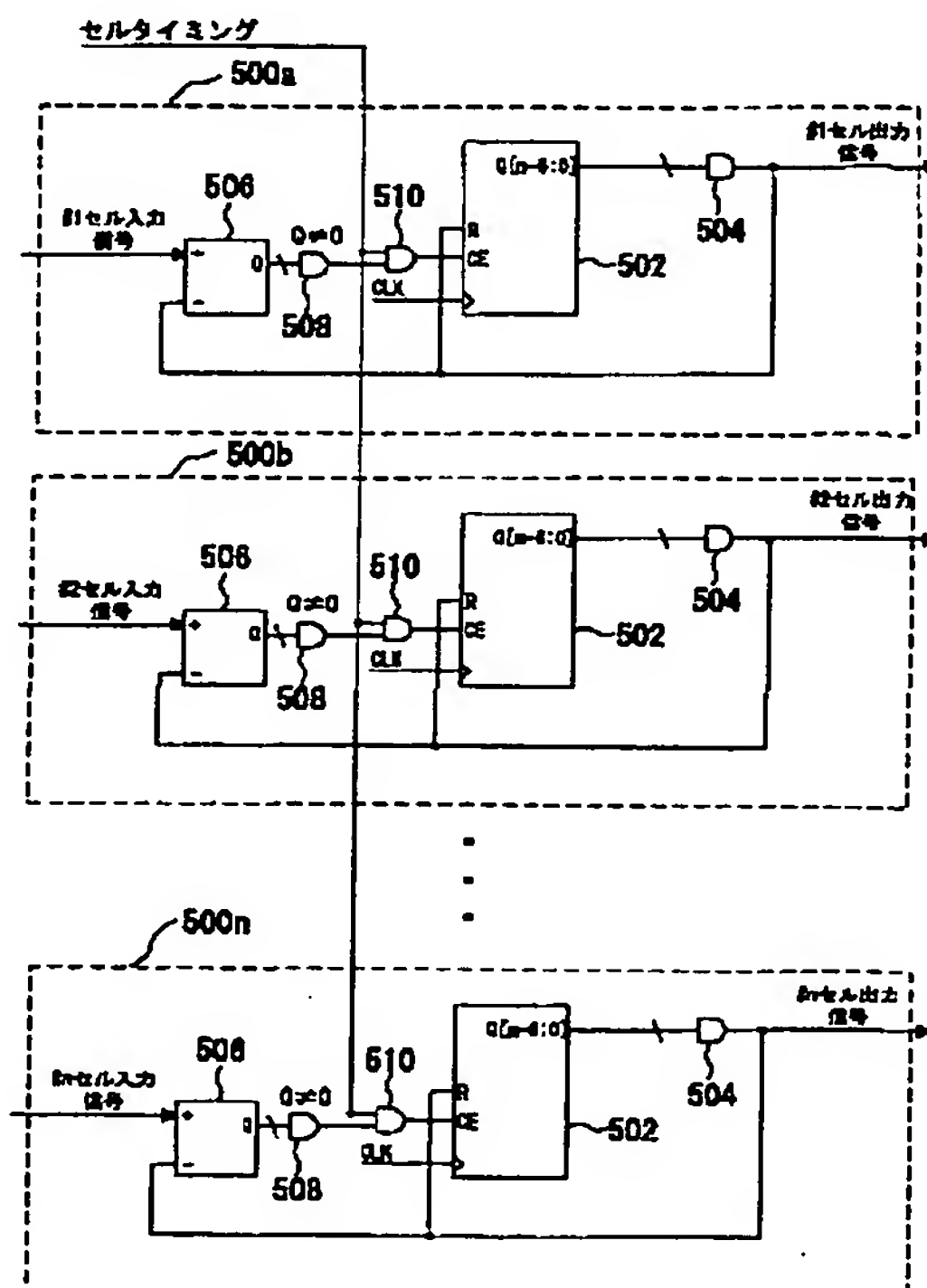
Fターム(参考) 5K030 HA10 KA21 LC02 MD04

(54) 【発明の名称】 帯域生成装置

(57) 【要約】

【課題】 帯域生成装置の構成に必要なフリップフロップの数を少なくし、回路規模の縮小、消費電力の低減を図る。

【解決手段】 帯域生成装置は、各チャネル毎に、対応するセルの出力タイミングをカウントする該チャネル数に応じた出力タイミングカウンタ502と、各出力タイミングカウンタによるカウントを開始させる起動信号を生成する該出力タイミングカウンタに対応したカウンタ起動手段506～510を備える。各カウンタ起動手段は、対応する入力セルがあることを示す信号が入力され、かつ物理層の伝送路インターフェース部で生成されるセルの出力タイミング信号が入力されているときに、前記起動信号を出力するよう構成される。



## 【特許請求の範囲】

【請求項1】 入力されたセルを通信網へ出力する際に、該セルを出力するレートを生成するATMトラフィックシェーピング装置の帯域生成装置において、各チャンネル毎に、対応するセルの出力タイミングをカウントする該チャンネル数に応じた出力タイミングカウンタと、前記各出力タイミングカウンタによるカウントを開始させる起動信号を生成する該出力タイミングカウンタに対応したカウンタ起動手段であって、各カウンタ起動手段が、対応する入力セルがあることを示す信号が入力され、かつセルの出力タイミング信号が入力されているときに、前記起動信号を出力する前記カウンタ起動手段と、を備えた帯域生成装置。

【請求項2】 前記各カウンタ起動手段は、ATMトラフィックシェーピング装置内にある対応するセルの数をカウントする入力セルカウンタと、前記入力セルカウンタの出力に応じて前記対応する入力セルの有無を示す信号を出力するデコーダと、前記デコーダから対応する入力セルがあることを示す信号が出力され、かつセルの出力タイミング信号が入力されているときに、前記出力タイミングカウンタの起動信号を出力する論理回路と、を備えた請求項1に記載の帯域生成装置。

【請求項3】 前記各カウンタ起動手段に与えられるセルの出力タイミング信号が、物理層の伝送路インターフェース部で生成されるセルの出力タイミング信号である請求項1又は2に記載の帯域生成装置。

【請求項4】 前記各カウンタ起動手段に与えられるセルの出力タイミング信号を生成する6ビットカウンタを更に備えた請求項1又は2に記載の帯域生成装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力されたセルを通信網へ出力する際に、該セルを出力するレートを生成するATMトラフィックシェーピング装置の帯域生成装置に関する。

## 【0002】

【従来の技術】ATM伝送においては、セルと呼ばれる固定長のデータパケットを、端末装置から網と呼ばれる伝送路上への出力することに関して、伝送路の伝送帯域、すなわち端末からのセルの送出間隔（これを、セルレートという。）がその契約に基づいて規定される。契約で規定された送出間隔よりも短い間隔で送出されたセルは、他の端末からのセルとの衝突を避けるために廃棄されてしまうので、図1に示すように、ATM端末装置100においては、トラフィックシェーピング装置102を備えてセル生成部106からのセル104の送出間隔を契約帯域に適した間隔に調整することが行われている。

【0003】図2は、ATM端末装置における従来のATMセルの出力回路構成を示している。図において、トラフィックシェーピング装置102は、データ発生側よりセルデータを受け取り、ここで契約されたセルレートに従ってセルの出力タイミングが生成される。トラフィックシェーピング装置102でトラフィックシェーピングされたデータは、UTOPIA（ATMフォーラムで定められたATM層と物理層とのセルデータの受け渡しに関する規定）インターフェースで物理層のFIFOメモリ200に書き込まれる。

【0004】物理層では、FIFOメモリ200に蓄積されたセルデータを、読み出しフレーム生成制御部202からのセルタイミング信号に従って読み出し、フレーム生成部204で伝送路のフレームにセルを組み込んで、データを伝送路へ送出する。

【0005】図3は、従来構成によるトラフィックシェーピング装置の全体構成を示している。トラフィックシェーピング装置300において、ATM端末装置のセル生成部（図1の106）から送られたセルが、セル入力I/F302においてインターフェースされると、各セルはその識別部にて各チャンネル（#1、#2、…、#n）に分類され、それぞれに用意されたセルバッファ304に格納される。セル入力I/F302は、その後、チャンネル単位のセル識別結果をセル入力信号として帯域生成部306に送り、ここで、それぞれのセルに応じた帯域生成制御にてセルの出力タイミングが生成される。帯域生成部306におけるタイミング生成は、チャンネル毎で並列に行なわれるため、セル出力タイミングが同時発生する場合があります。競合制御部308においてその調停が行われた後、セルの出力指示が、セル出力I/F310に与えられる。セル出力I/F310は、競合制御部308からの出力指示に基づいて、セルバッファ304より対象するチャンネルのセルを読み出し、物理層へ出力する。

【0006】図4は、前記トラフィックシェーピング装置における従来の帯域生成部のブロック図を示している。帯域生成部306は、各チャンネルに対応して複数の出力タイミング生成部400a、400b、…、400nを備える。各出力タイミング生成部400は、セルの出力タイミングをカウントするmビットの出力タイミングカウンタ402、セル出力信号を出力するmビットのデコーダ404、前記出力タイミングカウンタ402を起動させるカウンタ起動手段としての入力セルカウンタ406及びデコーダ408を備えている。

【0007】トラフィックシェーピング装置に、対応するチャンネルのセルが入力されたことを知らせるセル入力信号が入力されると、入力セルカウンタ406は1つカウントアップされ、その出力が1となる。デコーダ408は、入力セルカウンタ406の出力が0以外のときに“High”を出力するデコーダであり、従って、入力セ



ルカウンタ406から1が出力されたことにより、デコーダ408は”High”を出力することとなる。デコーダ408の”High”信号が、出力タイミングカウンタ402のCE（クロックイネーブル）端子に入力されると、出力タイミングカウンタ402はクロック信号に従ってそのカウント動作を開始する。

【0008】デコーダ408には、予め設定したい帯域に応じてデコード値が設定されており、出力タイミングカウンタ402の出力値が、デコーダ408の値と一致することによって、デコーダ408からセル出力信号が出力される。この出力は、入力セルカウンタ406にも入力され、これによって、カウンタ値は1減算される。入力セルカウンタ406のカウンタ値が0になると、出力タイミングカウンタ402はカウント動作を停止し、アイドル状態となる。セル出力信号が出力される間に、セル入力信号が入力セルカウンタ406に連続して入力された場合、入力セルカウンタ406の値が0になる、すなわちセル出力要求が無くなるまで出力タイミングカウンタ402は動作を続ける。このように、帯域生成部306は、網側と契約した帯域に応じた間隔でセル出力信号を送出する。

【0009】

【発明が解決しようとする課題】しかしながら、前記従来の帯域生成部306においては、各出力タイミング生成部400毎に設けられる出力タイミングカウンタ402がカウントする出力タイミングが、セルのビット長（53ビット）に対応した送出間隔を考慮した上で、各帯域に応じたデコード値をカウントできるように設計しなければならず、そのために、多くのフリップフロップ（FF）を必要とし、その消費電流も多いものとなっていた。

【0010】また、従来のトラフィックシェーピング装置をATM端末装置に採用する場合、UTOPIAインターフェースの物理側に、トラフィックシェーピング後のセルを一時的に格納するためのFIFOメモリが必要となり、これが装置全体の回路規模を大きくすると共に、伝送路へのデータ送信までの遅延時間を増加し、リアルタイム性を要求するデータ伝送においては、不十分なものであった。

【0011】従って本発明の目的は、前記出力タイミングカウンタに必要なフリップフロップ数を少なくすることができる帯域生成装置を提供することにある。

【0012】また、本発明の別の目的は、ATM端末装置の物理層側にセル格納用のFIFOメモリを不要とすることができる帯域生成装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため本発明は、入力されたセルを通信網へ出力する際に、該セルを出力するレートを生成するATMトラフィックシェーピング装置の帯域生成装置において、各チャンネル毎

に、対応するセルの出力タイミングをカウントする該チャンネル数に応じた出力タイミングカウンタと、前記各出力タイミングカウンタによるカウントを開始させる起動信号を生成する該出力タイミングカウンタに対応したカウンタ起動手段であって、各カウンタ起動手段が、対応する入力セルがあることを示す信号が入力され、かつセルの出力タイミング信号が入力されているときに、前記起動信号を出力する前記カウンタ起動手段とを備えて構成される。

【0014】この場合において、前記各カウンタ起動手段は、ATMトラフィックシェーピング装置内にある対応するセルの数をカウントする入力セルカウンタと、前記入力セルカウンタの出力に応じて前記対応する入力セルの有無を示す信号を出力するデコーダと、前記デコーダから対応する入力セルがあることを示す信号が出力され、かつセルの出力タイミング信号が入力されているときに、前記出力タイミングカウンタの起動信号を出力する論理回路とを備えて構成することが好ましい。

【0015】ここで、前記各カウンタ起動手段に与えられるセルの出力タイミング信号は、好ましくは、物理層の伝送路インターフェース部で生成されるセルの出力タイミング信号である。

【0016】また、本発明の帯域生成装置は、前記各カウンタ起動手段に与えられるセルの出力タイミング信号を生成する6ビットカウンタを更に備えて構成することもできる。

【0017】

【発明の実施の形態】以下、図示した一実施形態に基づいて本発明を詳細に説明する。図5は、本発明の第1の実施形態に係る帯域生成装置の構成を示すブロック図である。帯域生成装置は、各チャンネルに対応して複数の出力タイミング生成部500a、500b、...、500nを備える。そして、各出力タイミング生成部500は、セルの出力タイミングをカウントする出力タイミングカウンタ502、セル出力信号を出力するデコーダ504、前記出力タイミングカウンタ502を起動させるカウンタ起動手段としての入力セルカウンタ506、デコーダ508及び論理積演算回路510を備えている。

【0018】出力タイミングカウンタ502は、後述する論理積演算回路510からの起動信号を受けてカウントを開始する所定ビットのカウンタであり、デコーダ504からのセル出力信号がそのリセット端子に入力されるまで、クロック信号に同期してカウントアップされる。本発明において使用される出力タイミングカウンタ502は、従来のものと同様にフリップフロップ回路により構成することができるが、従来の出力タイミングカウンタをmビットとしたとき、前記出力タイミングカウンタ502はm-5ビットで構成することができる。これについては後述する。

【0019】デコーダ504には、従来構成と同様、予め設定したい帯域に応じてデコード値が設定されており、出力タイミングカウンタ502のカウント値が、ここで設定されたデコード値と一致した場合、セルの出力信号を送出するものである。

【0020】入力セルカウンタ506及びデコーダ508としては、従来構成と同様のものが用いられる。すなわち、入力セルカウンタ506は、トラフィックシェーピング装置のセルバッファ内に格納されているセル数をカウントするもので、セル入力信号を受けるとカウントアップし、デコーダ504からのセル出力信号を受けるとカウントダウンする。また、デコーダ508は、入力セルカウンタ506のカウント値がゼロ以外である場合に、“High”を出力し、ゼロのときに“Low”を出力している。

【0021】論理積演算回路510は、2つの入力信号が何れもが“High”レベルであるときに、起動信号として“High”を出力し、出力タイミングカウンタ502のCE端子に与える。ここで、論理積演算回路510の一方の入力信号は、前記デコーダ508の出力信号であり、他方の入力信号は、セルの出力タイミングに同期した信号（以下、セルタイミング信号という）である。本実施形態において、セルタイミング信号は、物理層の伝送路インターフェース部で生成されるセルの出力タイミング信号（セルのデータ長に相応した53ビット間隔のパルス）である。なお、他の出力タイミング生成部500b～500nにも物理層からの共通のセルタイミング信号が入力される。従って、論理積演算回路510は、デコーダ508がセルバッファ内にセルがあることを示す“High”信号を出力しているときに、物理層からのセルタイミング信号が入力された（すなわち、“High”レベルに遷移した）場合にのみ、出力タイミングカウンタ502の起動信号を出力するものである。これによって、出力タイミングカウンタ502は、セルの出力タイミングでのみそのカウントアップを開始し、セルが入力されていてもそれがセルの出力タイミングと一致しない場合は、直ちにカウントアップを開始することはない。

【0022】次に、前記帯域生成装置における動作について説明する。トラフィックシェーピング装置に、対応するチャネルのセルが入力されたことを知らせるセル入力信号が入力されると、入力セルカウンタ506は1つカウントアップされ、その出力が1となる。デコーダ508は、入力セルカウンタ506から1が出力されたことにより、“High”を出力する。ここで、論理積演算回路510に、物理層からのセルタイミング信号が入力され、“High”レベルになると、その起動信号が“High”となって、出力タイミングカウンタ502のCE端子に入力され、出力タイミングカウンタ502はクロック信号に従ってそのカウント動作を開始することとなる。

【0023】出力タイミングカウンタ502がカウント

アップされていき、デコーダ508の設定値と一致することによって、デコーダ508からセル出力信号が出力される。この出力は、入力セルカウンタ506にも入力され、これによって、カウンタ値は1減算される。入力セルカウンタ506のカウント値が0になると、出力タイミングカウンタ502はカウント動作を停止し、アイドル状態となる。セル出力信号が出力される間に、セル入力信号が入力セルカウンタ506に連続して入力された場合、論理積演算回路510は、次のセルの出力タイミング（次のセルタイミング信号の入力）で、出力タイミングカウンタ502を起動する。そして、入力セルカウンタ506の値が0になる、すなわちセル出力要求が無くなるまで出力タイミングカウンタ502は、セルタイミング間隔で、動作を続ける。このようにして前記実施形態における帯域生成装置は、網側と契約した帯域に応じた間隔でセル出力信号を送出する。

【0024】前述のように、前記実施形態においては、各出力タイミング生成部500a～500nの出力タイミングカウンタ502は、物理層からの共通のセルタイミング信号に同期してそのカウントアップを開始する。従って、各出力タイミングカウンタ502は、セルのビット長分を考慮してカウントする必要がなくなり、従来構成に比してカウンタを構成するビット長を少なくすることができる。つまり、従来の出力タイミングカウンタに対し、5ビットを削減できる（セルタイミング信号は53ビット毎のパルスであり、6ビットでカウントできる63（26）よりも小さいので、5ビットを削減できる）。従って、従来の出力タイミングカウンタをmビットとした場合、本実施形態による出力タイミングカウンタは、m-5で構成することができる。この結果、チャネル数をnとした場合、出力タイミングカウンタに関し、5nビット分のフリップフロップを削減することができる。これは、論理積演算回路510により増加するフリップフロップ数2nを考慮しても、十分な削減効果が期待できる。

【0025】図6は、前記実施形態に係る帯域生成装置を採用した場合のトラフィックシェーピング装置の構成例を示している。ここで、各構成部分の働きは従来技術におけるものと同様であるので、ここではその説明を省略する。図に示すように、本実施形態に係る帯域生成装置606を採用する場合、ここに物理層からのセルタイミング信号が与えられる。また、競合制御部608及びセル出力I/F610に対しても共通のセルタイミング信号が与えられ、これらはこの信号に同期して動作される。

【0026】図7は、前記実施形態に係る帯域生成装置を採用した場合のATMセルの出力回路構成を示している。前述のように本発明に係る帯域生成装置においては、物理層におけるフレーム生成制御部700からのセルタイミング信号に同期して、トラフィックシェーピン

グ装置702からセルを送出することとなるので、物理側では、従来構成で必要とした非同期な入出力タイミングを吸収するためのFIFOメモリを必要とせず、直接フレーム生成部704にシェーピング後のセルデータを出力することができるようになる。なお、トラフィックシェーピング装置702は、フレーム生成制御部700に、出力セルの有無を示す信号を送出する。これは、トラフィックシェーピング装置702から送出的セルが無い場合に、フレーム生成部704に対し、伝送路側に無効なセルである空きセルを挿入させるようにするためのものである。

【0027】図8は、本発明の第2の実施形態に係る帯域生成装置の構成を示すブロック図である。本実施形態の説明に際し、先の実施形態と同じ構成部分には共通の符号を用い、その説明を省略する。

【0028】本実施形態において帯域生成装置800は、先の実施形態の帯域生成装置の構成に加え、更に、セルタイミング信号をその内部で生成するために、1セットの6ビットのカウンタ802及びセル間隔デコーダ804を備える。すなわち、カウンタ802は、クロック信号に同期して常時起動され、そのカウント値をセル間隔デコーダ804に与える。セル間隔デコーダ804には、53ビットのセルのビット長が予め設定されており、カウンタ802のカウント値がこれと一致すると、セルタイミング信号を出力する。このセルタイミング信号は、先の実施形態の場合と同様に、各出力タイミング生成部500a～500nの論理積演算回路510に与えられ、各出力タイミングカウンタ502はこれに基づいて起動されることとなる。

【0029】

【発明の効果】以上の如く本発明によれば、帯域生成装置の構成に必要なフリップフロップの数を少なくすることができ、従って回路規模を縮小できると共に、その消費電力を低減することができる。

【0030】また、物理層からのセルタイミング信号を用いた本発明においては、ATM端末装置の物理層側に

セル格納用のFIFOメモリを必要としないので、ATMセル出力回路の規模を縮小できると共に、データのリアルタイム性を向上することができる。

【図面の簡単な説明】

【図1】ATM伝送におけるセルの出力方法を示す概念図である。

【図2】ATM端末装置における従来のATMセルの出力回路構成を示す図である。

【図3】従来構成によるトラフィックシェーピング装置の全体構成を示す図である。

【図4】トラフィックシェーピング装置における従来の帯域生成部のブロック図である。

【図5】本発明の第1の実施形態に係る帯域生成装置の構成を示すブロック図である。

【図6】図5の帯域生成装置を採用した場合のトラフィックシェーピング装置の構成例を示す図である。

【図7】図5の帯域生成装置を採用した場合のATMセルの出力回路構成を示す図である。

【図8】本発明の第2の実施形態に係る帯域生成装置の構成を示すブロック図である。

【符号の説明】

500a～500n 出力タイミング生成部

502 出力タイミングカウンタ

504 デコーダ

506 入力セルカウンタ

508 デコーダ

510 論理積演算回路

606 帯域生成装置

608 競合制御部

700 フレーム生成制御部

702 トラフィックシェーピング装置

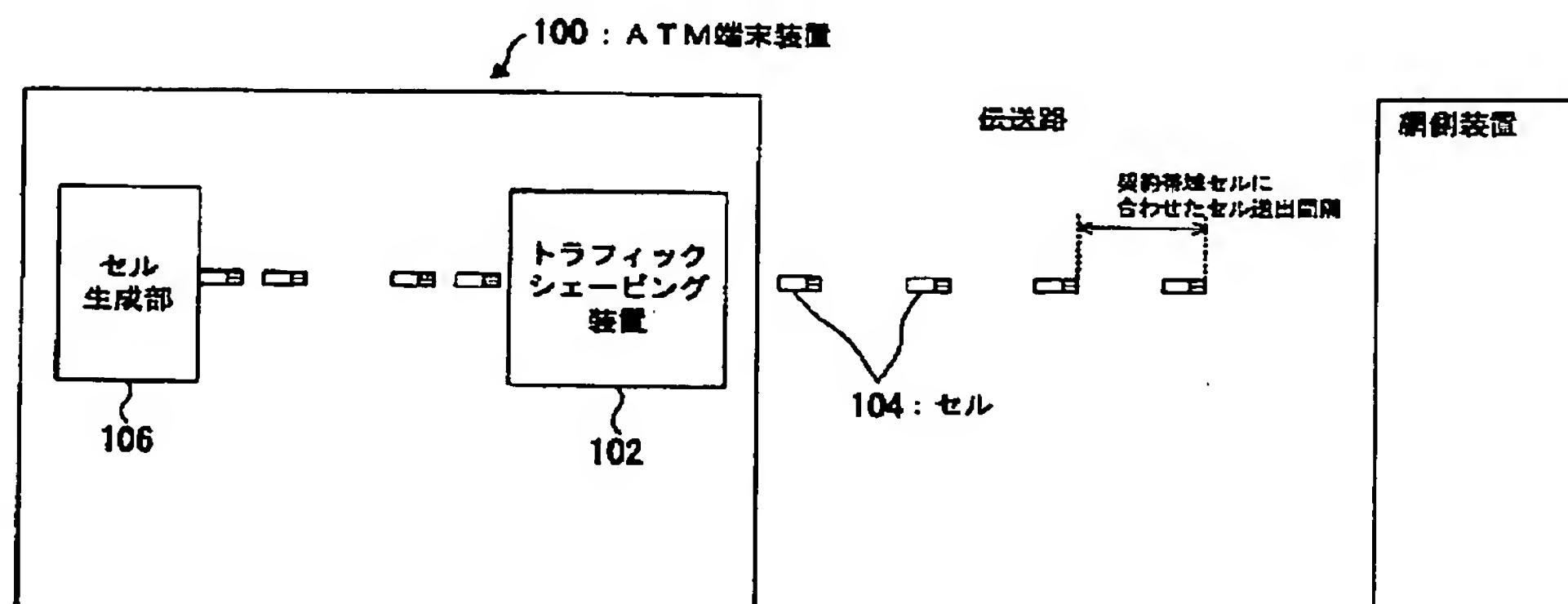
704 フレーム生成部

800 帯域生成装置

802 カウンタ

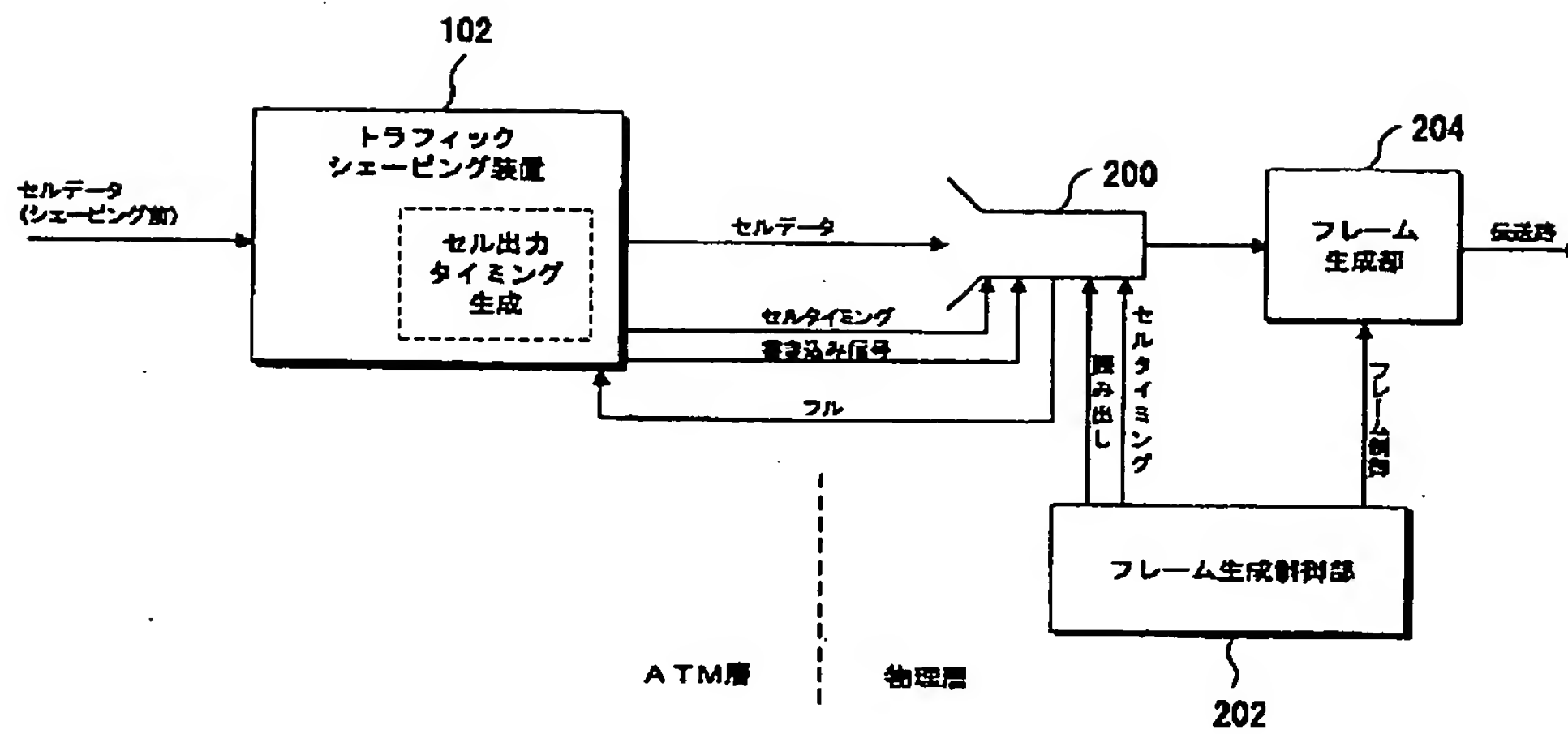
804 セル間隔デコーダ

【図1】

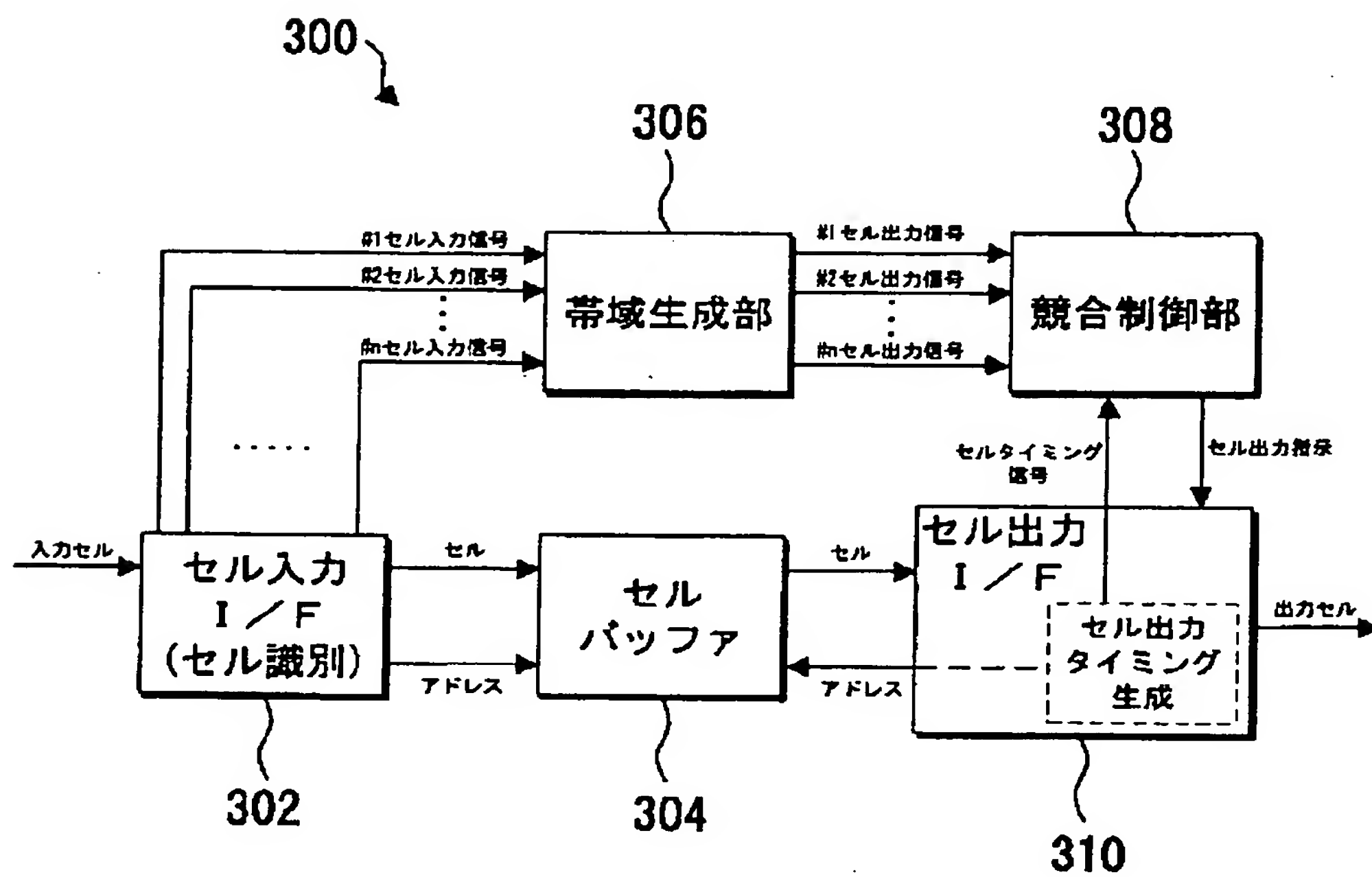




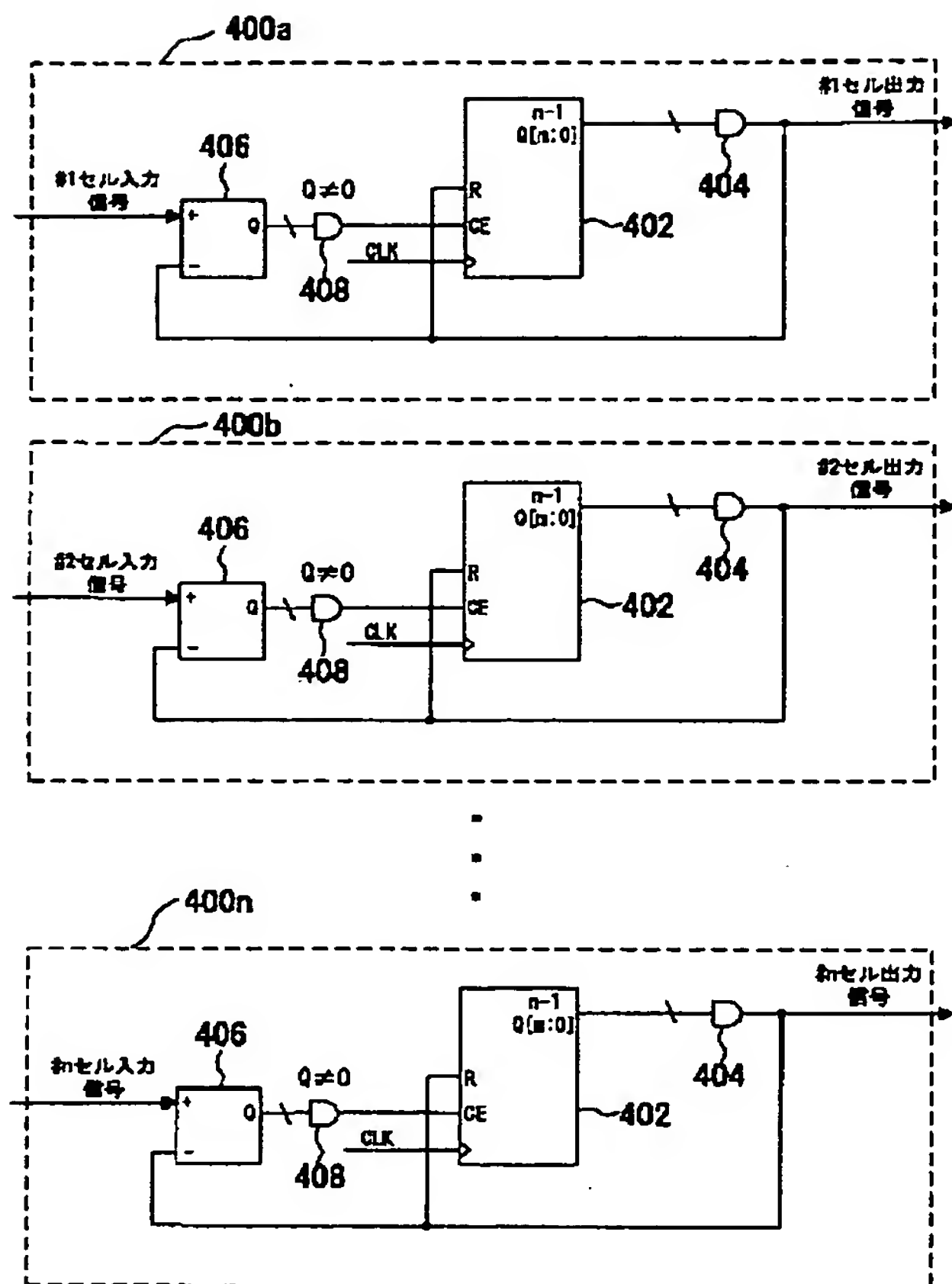
【図2】



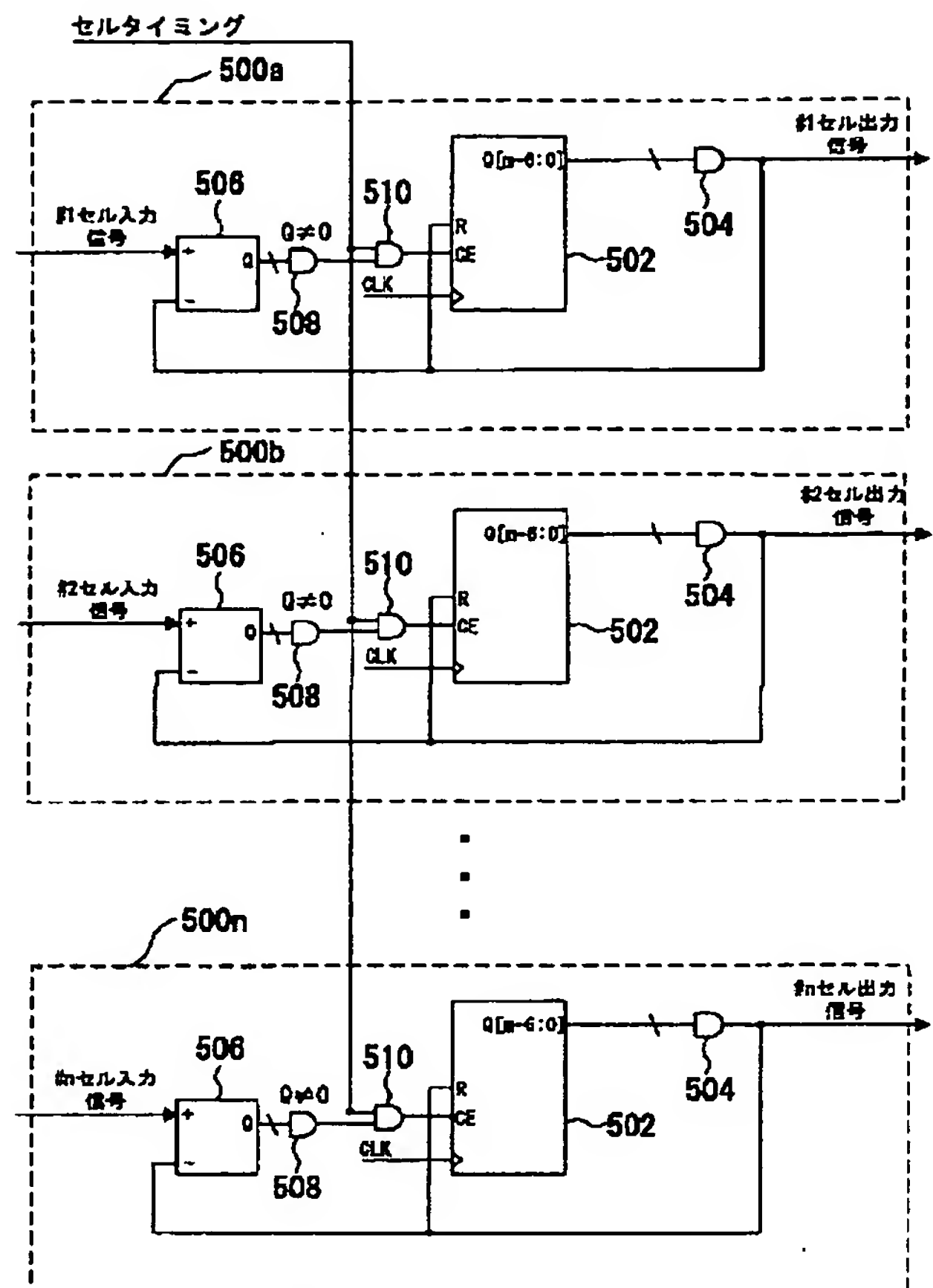
【図3】



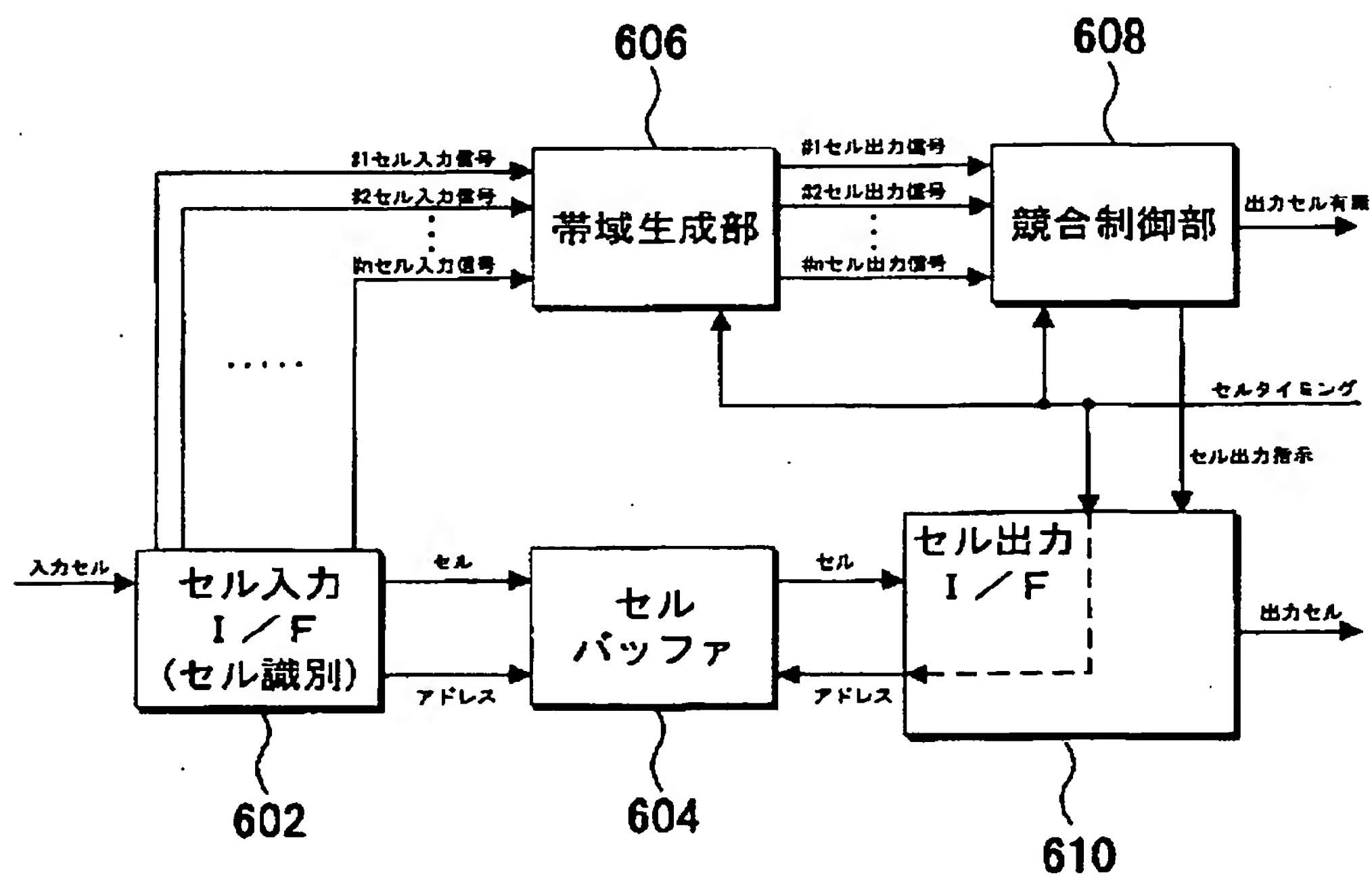
【図4】



【図5】

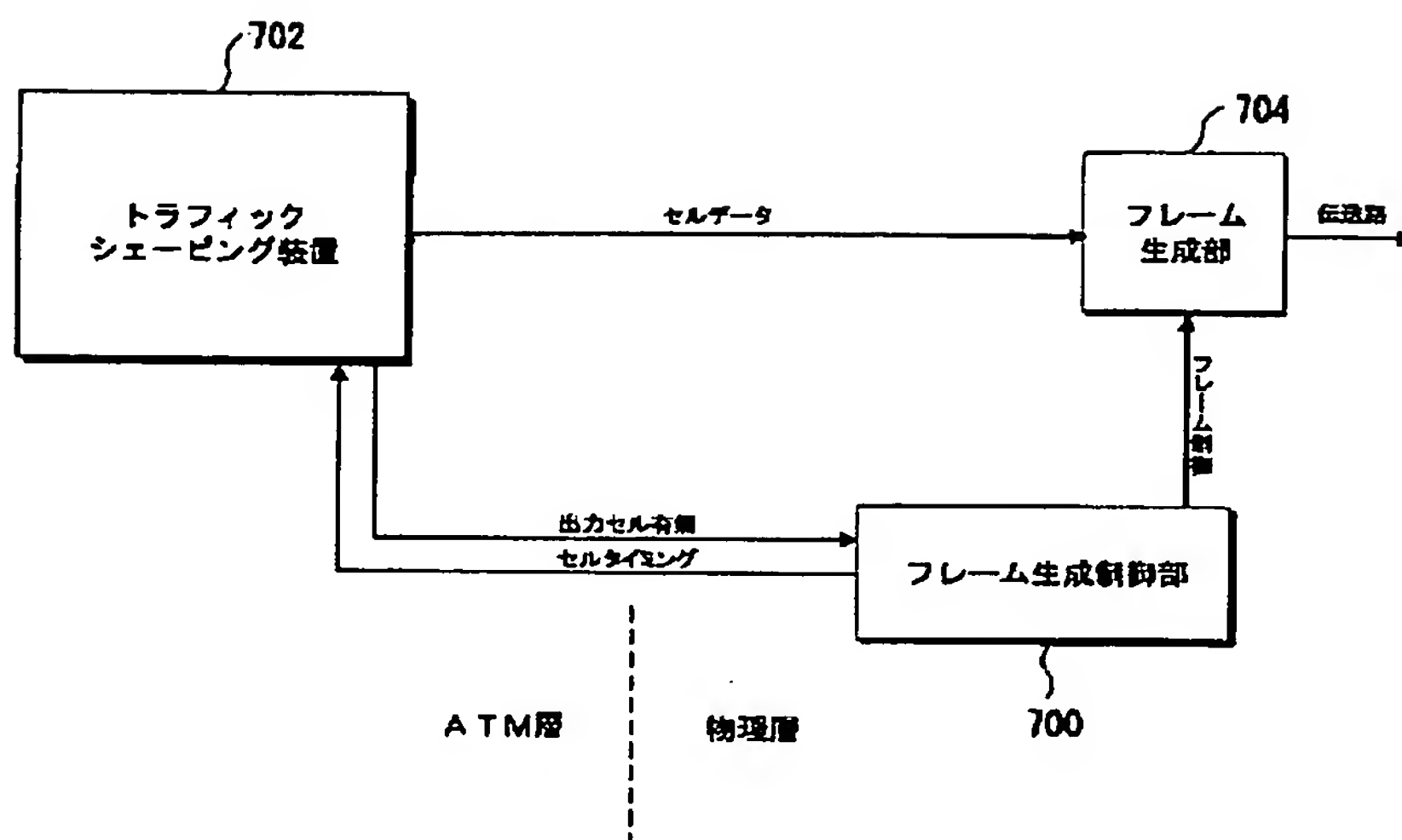


【図6】





【図7】



【図8】

